

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Jeffrey Scott CROSS, et al.

Serial Number: 10/716,878

Filed: November 20, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE METHOD, AND MEASUREMENT FIXTURE FOR THE SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 13, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


Japanese Appln. No. 2002-338307, filed on November 21, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032122
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111

SGA/my



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: November 21, 2002

Application Number: No. 2002-338307
[ST.10/C]: [JP2002-338307]

Applicant(s): FUJITSU LIMITED

July 31, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3061282

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 8 3 0 7
Application Number:

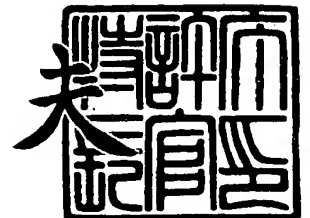
[ST. 10/C] : [J P 2 0 0 2 - 3 3 8 3 0 7]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 7 月 3 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 1 2 8 2

【書類名】 特許願

【整理番号】 0241143

【提出日】 平成14年11月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/10 421

【発明の名称】 半導体装置及びその製造方法、該半導体装置に係る測定
用治具

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 クロス ジェフリー スコット

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 塚田 峰春

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 堀井 義正

【発明者】

【住所又は居所】 アメリカ合衆国 ノースカロライナ州 ローリー ノー
スカロライナ州立大学内

【氏名】 グリュバーマン アレクセイ

【発明者】

【住所又は居所】 アメリカ合衆国 ノースカロライナ州 ローリー ノー
スカロライナ州立大学内

【氏名】 キンゴン アンガス

【特許出願人】**【識別番号】** 000005223**【氏名又は名称】** 富士通株式会社**【代理人】****【識別番号】** 100070150**【住所又は居所】** 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階**【弁理士】****【氏名又は名称】** 伊東 忠彦**【電話番号】** 03-5424-2511**【手数料の表示】****【予納台帳番号】** 002989**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0114942**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、該半導体装置に係る測定用治具

【特許請求の範囲】

【請求項 1】 基板上に強誘電体キャパシタ膜を有し、
該強誘電体キャパシタ膜に対して積極的に圧縮応力乃至引っ張り応力を印加する
応力印加手段が設けられてなる半導体装置。

【請求項 2】 前記応力印加手段は前記基板表面に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記応力印加手段は前記基板表面に形成された膜よりなり、
該膜の厚さが $100\mu\text{m} \sim 500\mu\text{m}$ であり、かつ前記基板の熱膨張係数と該膜の熱膨張係数とが異なることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタと、を含む IC チップと、

前記 IC チップを支持するダイパッドと、

前記 IC チップとダイパッドとを固着する接合剤とを含む半導体装置であって

、
当該半導体装置が加熱されて IC チップに応力が印加されることを特徴とする半導体装置。

【請求項 5】 前記接合剤が熱硬化型接着剤であり、前記加熱により接合剤が収縮して IC チップに応力が印加されることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記ダイパッドがバイメタルよりなり、前記加熱によりダイパッドが変形して IC チップに応力が印加されることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】 前記強誘電体キャパシタ膜が、ペロブスカイト型結晶構造、層状ペロブスカイト型結晶構造、又はタンゲステンブロンズ結晶構造を有する酸化物よりなることを特徴とする請求項 1～6 のうち、いずれか一項記載の半導体装置。

【請求項 8】 半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタと、を含む半導体装置の製造方法であって、

前記強誘電体キャパシタ膜を形成後に半導体装置に外力を印加して、前記強誘電体キャパシタ膜の分極方向を揃えることを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次堆積し強誘電体キャパシタと、を含む IC チップを形成する工程と

前記 IC チップを、その IC チップを支持するダイパッドに接着するダイ・ボンディング工程とを有し、

前記ダイ・ボンディング工程において IC チップに外力を印加することを特徴とする半導体装置の製造方法。

【請求項 10】 基板上に形成された強誘電体膜の測定用治具であって、

前記基板をほぼ水平にすると共に、前記基板の測定面を上方に向けて、前記基板の一端を固定する固定部と、前記基板の他端を固定すると共に前記測定面に対して垂直方向に移動可能な可動部と、前記可動部を前記垂直方向に送る送り手段とを有することを特徴とする測定用治具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に強誘電体キャパシタ膜を有する強誘電体キャパシタに情報を記憶する FeRAM に関し、さらに強誘電体膜の電気特性の測定に用いる測定用治具に関する。

【0002】

【従来の技術】

近年、PC 等の補助記憶装置として、電氣的に書き換えの可能な不揮発メモリーとして、フローティングゲート電極に情報を電荷の形で供給するフラッシュメモリが使われることが多くなっている。一方、フラッシュメモリのフローティング電極の代わりに、強誘電体キャパシタの自発分極の形で記憶する強誘電体記憶

装置 (FeRAM (Ferro-electric Random Access Memory)) が提案されている。かかる FeRAM では、強誘電体キャパシタの中の誘電膜がペロブスカイト結晶構造を有する PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、あるいは PLZT ($\text{Pb}(\text{Zr}, \text{La}, \text{Ti})\text{O}_3$)、さらには層状ペロブスカイト結晶構造を有するビスマス層状強誘電体酸化物 SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) 等の強誘電体により構成されている。FeRAM はキャパシタの自発分極を印加する電界により制御するため、書込み速度が速く、消費電力が少ないという特長を有し、大規模集積回路を構成するのに適している。

【0003】

図1は、従来の FeRAM におけるメモリセルの構成を示す図である。図1を参照するに、メモリセルは1ビットの情報を記録するのに2つのトランスファートランジスタ T_1 、 T_2 と2つのキャパシタ C_1 、 C_2 を使う、いわゆる 2T2C 型の構成を有し、一方のキャパシタに情報“0”を他方のキャパシタに情報“1”を記憶させる相補的動作を行う。具体的には、情報の書込みは、ワード線 WL によりトランスファートランジスタ T_1 、 T_2 をターンオンして、ビット線 BL に情報“0”あるいは“1”を、相補的なビット線 /BL に情報“1”あるいは“0”を入力すると、キャパシタ C_1 、 C_2 にそれぞれ相補的な情報が書き込まれる。これらの情報はキャパシタの誘電膜の分極方向として保持される。また、読出しは、ワード線 WL によりトランスファートランジスタ T_1 、 T_2 をターンオンするとビット線 BL 及び相補的なビット線 /BL にキャパシタ C_1 、 C_2 の分極による電圧に相当する電圧が印加され、センスアンプ 202 において、ビット線 BL と相補的なビット線 /BL との電圧の差により、キャパシタに記憶されている情報が読み出される。

【0004】

【発明が解決しようとする課題】

ところで、FeRAM は、強誘電体キャパシタの誘電体である強誘電体キャパシタ膜が経時変化により電気特性の劣化が起こり、書込み読出し動作が不安定化する場合がある。図2は、強誘電体膜の分極と印加電界との関係を示す図である。図2に示すように、強誘電体膜は、ヒステリシス特性を有し、例えば、残留分

極 $+P_r$ の状態から印加電界が負の抗電界 $-E_c$ が印加されると分極は反転し、印加電界が $-E_R$ が印加されると分極は飽和し、印加電界を取り去ると、残留分極 $-P_r$ の状態となる。強誘電体膜の電気特性の劣化のうち、例えば、抗電界 E_c の変化、残留分極 P_r の大きさの変化が特に問題となる。

【0005】

これらの現象は、強誘電体膜とそれを挟む下側電極層または上側電極層との界面における電荷のトラップや、強誘電体膜の酸素欠損のような点欠陥に起因すると考えられている。また、上記の電気特性の劣化は加熱や UV 光の照射等によって加速されることが知られている。

【0006】

これらの原因に加えて、強誘電体膜に印加される応力によって強誘電体膜のヒステリシス特性が変化してしまうという問題がある。例えば、強誘電体膜のヒステリシス特性が印加電圧の正又は負の方向にシフトしてしまう。このような場合抗電界 E_c が変化してしまうので、正常な書込み電圧では分極が反転せず、書込み動作が不安定となる。強誘電体膜に印加される応力としては、強誘電体膜上に直接形成される上側電極による強誘電体膜の界面に印加される応力、多層配線構造に用いられる層間絶縁膜や、パッシベーション膜、配線パターンによる応力、強誘電体膜を形成する際に基板全体に印加されている応力によって強誘電体膜に誘導される応力等がある。

【0007】

また、FeRAMには、通常約 0.65 mm の厚さのシリコン基板が用いられている。FeRAMの半導体回路が形成され、パッケージされる前にシリコン基板はその裏側が研削され薄板化される。シリコン基板が薄板化されると、上述した層間絶縁膜等による応力による影響がさらに増大するという問題点がある。

【0008】

したがって、本発明は上記の問題点に鑑みてなされたもので、本発明の目的は個々の強誘電体キャパシタの特性が揃った、動作の安定化が可能な半導体装置を提供することである。また、経時的に安定な強誘電体キャパシタを備えた半導体装置を提供することである。さらに、強誘電体キャパシタ膜に応力を印加すると

共に電界を印加して、強誘電体キャパシタ膜の電気特性が測定可能な測定治具を提供することである。

【0009】

【課題を解決するための手段】

本発明の一観点によれば、基板上に強誘電体キャパシタ膜を有し、該強誘電体キャパシタ膜に対して積極的に圧縮応力乃至引っ張り応力を印加する応力印加手段が設けられてなる半導体装置が提供される。

【0010】

本願発明者は、後述するように、本願発明の半導体装置の強誘電体キャパシタ膜を形成後に、強誘電体キャパシタ膜に引っ張りまたは圧縮応力を印加すると、強誘電体キャパシタ膜の分極方向が一方向に揃いかつヒステリシス特性が印加電界方向にシフトすることを見出した。この変化は一旦生じると経時的な変化を生ぜず、すなわち不揮発性のものである。したがって、半導体装置に形成された強誘電体キャパシタ膜に応力を印加することによって、強誘電体キャパシタ膜の分極方向及びヒステリシス特性を揃えることが可能となる。このことにより、強誘電体キャパシタ膜を誘電体として有する強誘電キャパシタを備えたFeRAM等の書込み読出しの動作電圧を強誘電キャパシタ間で精度良く揃えることができるので、動作の安定化、情報保持の信頼性を向上することができる。

【0011】

本発明によれば、半導体装置に強誘電体キャパシタ膜に圧縮応力乃至引っ張り応力を印加する応力印加手段が設けられている。したがって、半導体装置の強誘電体キャパシタ膜の分極方向及びヒステリシス特性を揃えることができ、半導体装置の書込み読出し動作を安定化することができる。

【0012】

前記応力印加手段は、前記基板表面に設けられてもよい。基板表面に応力を印加することにより、基板を介して基板上に形成された強誘電体キャパシタ膜に応力を印加することができる。

【0013】

前記応力印加手段は前記基板表面に形成された膜よりなり、該膜の厚さが10

0 μm ~ 500 μm であり、かつ前記基板の熱膨張係数と該膜の熱膨張係数とが異なる構成としてもよい。この膜が基板表面に堆積する際は、膜の厚さが100 μm ~ 500 μm と厚く基板の温度が上昇し、あるいは基板加熱を伴うので、堆積後に冷却されると基板の熱膨張差と膜の熱膨張率との差により熱応力が発生するので、基板を介して強誘電体キャパシタ膜に熱応力が印加される。したがって、強誘電体キャパシタ膜の分極方向及びヒステリシス特性を揃えることが可能となる。

【0014】

本発明の他の観点によれば、半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタと、を含むICチップと、前記ICチップを支持するダイパッドと、前記ICチップとダイパッドとを固着する接合剤とを含む半導体装置であって、当該半導体装置が加熱されてICチップに応力が印加される半導体装置が提供される。

【0015】

本発明によれば、強誘電体キャパシタ膜が形成されたICチップをダイパッドに接着する際に応力をICチップに印加することにより、強誘電体キャパシタ膜の特性を揃えることができ、書込み読出し動作を安定化することができる。

【0016】

前記接合剤が熱硬化型接着剤であり、前記加熱により接合剤が収縮してICチップに応力が印加されてもよい。また、前記ダイパッドがバイメタルよりなり、前記加熱によりダイパッドが変形してICチップに応力が印加されてもよい。

【0017】

前記強誘電体キャパシタ膜が、ペロブスカイト型結晶構造を有する酸化物よりなってもよい。ペロブスカイト型結晶構造を有する酸化物は、優れた強誘電性を示し、ヒステリシス曲線の角形性が良好なので、個々の強誘電体キャパシタ膜の抗電界のばらつきが少なく、書込み読出し動作を更に安定化できる。

【0018】

本発明のその他の観点によれば、半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタと

、を含む半導体装置の製造方法であって、前記強誘電体キャパシタ膜を形成後に半導体装置に外力を印加して、前記強誘電体キャパシタ膜の分極方向を揃える半導体装置の製造方法が提供される。

【0019】

本発明によれば、強誘電体キャパシタ膜を形成した後に半導体装置に外力を印加しているので、強誘電体キャパシタ膜の特性を揃えることができ、半導体装置の書き込み読出し動作を安定化することができる。

【0020】

本発明のその他の観点によれば、半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次堆積し強誘電体キャパシタと、を含むICチップを形成する工程と、前記ICチップを、そのICチップを支持するダイパッドに接着するダイ・ボンディング工程とを有し、前記ダイ・ボンディング工程においてICチップに外力を印加する半導体装置の製造方法が提供される。

【0021】

本発明によれば、強誘電体キャパシタ膜を形成したICチップに、ダイ・ボンディング工程において外力を印加している。ダイ・ボンディング工程では通常最も大きな外力がICチップに印加されるので、この工程での外力の印加方向、その大きさを制御することで、強誘電体キャパシタ膜の特性をより精度良く揃えることができる。したがって、半導体装置の書き込み読出し動作をより高精度に安定化することができる。

【0022】

本発明のその他の観点によれば、基板上に形成された強誘電体膜の測定用治具であって、前記基板をほぼ水平にすると共に、前記基板の測定面を上方に向けて、前記基板の一端を固定する固定部と、前記基板の他端を固定すると共に前記測定面に対して垂直方向に移動可能な可動部と、前記可動部を前記垂直方向に送る送り手段とを有する測定用治具が提供される。

【0023】

本発明によれば、強誘電体キャパシタを形成した基板がほぼ水平かつ測定面が上方に向けられて固定されている。さらに基板の一端を垂直方向に送る送り手段

が設けられているので、基板に応力を印加することができる。したがって、強誘電体キャパシタを形成した基板に応力を精度良く印加して、走査型ピエゾレスポンス力顕微鏡等により強誘電体キャパシタのヒステリシス特性等の測定が可能となる。

【0024】

【発明の実施の形態】

以下、図面に基づいて本発明の実施例を説明する。

【0025】

[第1実施例]

図3は、本発明の第1実施例に係る強誘電体キャパシタ10の構成を示す断面図である。係る強誘電体キャパシタ10には、引っ張り応力あるいは圧縮応力が印加されている。

【0026】

図3を参照するに、CMOS構造を覆う層間絶縁膜12が形成されたSi基板11には厚さが20nmのTi密着層13がスパッタ法により形成され、さらに前記Ti密着層13上には厚さが約175nmのPtよりなる下側電極層14が、同じくスパッタ法により形成される。ただし、前記下側電極層14はPtに限定されるものではなく、白金族の元素あるいはそれらの合金、さらには、 IrO_2 、 RuO_2 、 SrRuO_2 等の導電性酸化物であってもよい。さらに、前記下側電極層14上にはPZTまたはPLZT膜よりなる強誘電体キャパシタ膜15が、RFスパッタリングにより厚さ200nmの厚さに形成されている。なお、前記強誘電体キャパシタ膜15は、 O_2 を5%以下の濃度で含むAr雰囲気中で、急速熱処理することにより結晶化される。前記強誘電体キャパシタ膜15上にはさらに厚さが約200nmのPtよりなる上側電極層16が形成されている。さらに、次に述べる強誘電体キャパシタのヒステリシス特性の測定のため、上側電極層16の一部を異方性エッチングして、図3示す強誘電体キャパシタ10が形成される。

【0027】

次に第1実施例の強誘電体キャパシタ膜15のヒステリシス特性を測定した。

【0028】

図4は、走査型プローブ顕微鏡の1つである走査型ピエゾレスポンス力顕微鏡（以下、「SPM」という）の概要構成を示す図である。図4を参照するに、SPM20（米Veeco社製、商品名：AutoProbe M5）には、カンチレバー21の探針がPt/Irにより被覆されたSiよりなる曲率半径***のものを使用し、ロックインアンプ22にStanford Research 830を使用した。測定試料である強誘電体キャパシタ10の下側電極層14を接地電位として、カンチレバー21に直流電圧Vdc及び交流電圧Vacを印加して、直流電界および交流電界を強誘電体キャパシタ膜15に印加して、強誘電体キャパシタ膜15のヒステリシス特性及び分極状態の分布を測定した。また、SPMにより表面形状を測定した。

【0029】

図5は、強誘電体キャパシタのヒステリシス特性及び分極状態を測定する原理を説明する図である。図5を参照するに、強誘電体キャパシタ10の下側電極が電氣的に接地され、カンチレバー21—下側電極層14間すなわち強誘電体キャパシタ膜には0.8Vrmsの交流電圧が印加される。印加された交流電圧Vacによる電場Eに応じて、上向きの分極と下向きの分極の大きさが変化し、強誘電体キャパシタ膜15が ΔZ だけ伸縮する。その変化を、カンチレバー21をコンタクトモードにより走査しアンプリチュード（振幅）として表す。またAC電圧に対応した歪み方向の変化を位相として表す。これらの変化をロックインアンプ22（図4に示す）により検出することにより、前記強誘電体キャパシタ膜15の強誘電分域ごとの圧電歪みと自発分極の方向を同時に測定することができる。

【0030】

本実施例の強誘電体キャパシタのヒステリシス特性は、強誘電体キャパシタのウエハから2cm×3cmの大きさに試料片を切り出して、引っ張り応力または圧縮応力を例えば手や後述する治具により印加した。具体的には、試料片の両端を固定し、基板中央付近を基板裏面から基板表面方向に応力を印加した場合、Si基板が強誘電体キャパシタの厚さのほとんどを占めているので強誘電体キャパ

シタ膜には引っ張り応力が印加される。また、基板表面から基板裏面方向に応力を印加した場合は強誘電体キャパシタ膜には圧縮応力が印加される。

【0031】

図6 (A) 及び (B) は、実施例1の強誘電体キャパシタ膜に引っ張り応力の印加前の表面形状及び分極状態を示す図、(C) 及び (D) は引っ張り応力の印加後の表面形状及び分極状態を示す図である。図6 (A) 及び (C) に示すように、上側電極が2行4列に並んでいる。図6 (B) を参照するに、引っ張り応力を印加する前は、強誘電分域に分かれ様々な方向に自発分極が向いている（白～黒の明度により表される）。一方、図6 (D) を参照するに、引っ張り応力の印加後は強誘電分域がほぼ単一分域（黒い箇所）となっており、分極方向は上側電極層から下側電極層の方向に向いていることが分かる。

【0032】

図7 (A) 及び (B) は、実施例1の強誘電体キャパシタ膜に引っ張り応力の印加前及び印加後の歪みヒステリシス曲線と分極状態を示すヒステリシス履歴曲線を示す図であり、(A) は印加前、(B) は印加後を示している。図7 (A) 及び (B) を参照するに、引っ張り応力の印加前後を比較すると、蝶形の歪みヒステリシス曲線（縦軸が「strain」で示される。）が正電圧の方向にシフトしていることが分かる。また、分極状態を示す位相ヒステリシス曲線（縦軸が「phase」で示される。）も正電圧の方向にシフトしていることが分かる。なお、上側電極が2行4列の総てについて測定を行い、歪みヒステリシス曲線及びヒステリシス履歴曲線について同様の結果が得られた。

【0033】

さらに、この測定後に静置し、10日経過した後に同様の測定を行ったが、図6 (D) 及び図7 (B) に示す特性に変化はなかった。

【0034】

したがって、強誘電体キャパシタ膜に引っ張り応力を印加した場合、分極状態を、分極方向が上側電極から下側電極の方向に向いた一方向に揃えることができ、歪み履歴曲線及び分極履歴曲線の特性も同様に揃えることができる。さらにこれらの特性は不揮発性であることが分かった。

【0035】

一方、図8（A）及び（B）は、実施例1の強誘電体キャパシタに圧縮応力の印加前の表面形状及び分極状態を示す図、（C）及び（D）は圧縮応力の印加後の表面形状及び分極状態を示す図である。

【0036】

図8（A）及び（C）に示すように、上側電極が1行4列に並んでいる。図8（B）を参照するに、圧縮応力を印加する前は、強誘電分域に分かれ様々な方向に自発分極が向いている。一方、図8（D）を参照するに、圧縮応力の印加後は強誘電分域がほぼ単一分域（白い箇所）となっており、分極方向は下側電極から上側電極の方向に向いていることが分かる。

【0037】

図9（A）及び（B）は、それぞれ実施例1の強誘電体キャパシタ膜に圧縮応力の印加前及び印加後の歪みヒステリシス曲線と分極状態を示すヒステリシス曲線を示す図であり、（A）は印加前、（B）は印加後を示している。図9（A）及び（B）を参照するに、圧縮応力の印加前後を比較すると、蝶形のひずみ履歴曲線（縦軸が「strain」で示される。）が負電圧の方向にシフトしていることが分かる。また、分極状態を示す位相ヒステリシス曲線（縦軸が「phase」で示される。）も負電圧の方向にシフトしていることが分かる。なお、上側電極が1行4列の総てについて測定を行い、歪みヒステリシス曲線及びヒステリシス履歴曲線について同様の結果が得られた。

【0038】

さらに、この測定後に静置し10日経過した後に同様の測定を行ったが、図8（D）及び図9（B）に示す特性に変化はなかった。

【0039】

したがって、図8及び図9より、強誘電体キャパシタ膜に圧縮応力を印加した場合、分極状態を、分極方向が下側電極から上側電極の方向に向いた一方向に揃えることができ、歪み履歴曲線及び分極履歴曲線の特性も同様に揃えることができる。さらにこれらの特性は不揮発性であることが分かった。

【0040】

本願発明者は、本実施例において説明した、強誘電体キャパシタ膜に応力を印加することにより、強誘電体キャパシタ膜の分極方向、歪み履歴曲線及び分極履歴曲線の特性を揃えることができる、かつその特性が不揮発性であることを初めて見出したものである。このことにより、強誘電体キャパシタ膜を備えた半導体装置、例えばF e R A Mにおいて、メモリセルに用いられている強誘電体キャパシタ膜の特性をより精度良く揃えることができ、F e R A Mの書込み読出し動作をより高精度に安定化することができる。

【0041】

(測定治具)

上記実施例1では、強誘電体キャパシタ膜が形成された基板を手で押圧して応力を印加したが、本発明者は、応力を印加した際の分極状態を詳細に測定するため、測定試料に応力を定量的に印加可能であり、加熱することが可能な測定治具を作製した。なお、応力印加及び加熱した状態で前記S P Mにより測定可能である。

【0042】

図10は、本発明に係る測定治具の概要構成を示す断面図である。図10を参照するに、測定治具30は、ベース体31と、例えば5mm×65mmに切り出した実施例1の強誘電体キャパシタ10が形成された基板18を、その長手方向の一端を固定する固定部32と、他端を固定すると共に上下方向（図中矢印Xで示す方向）に微動可能な可動部33と、可動部33を微量送らしめると共に送り量を制御可能なマイクロメータヘッド34と、基板を加熱するヒーター35等により構成されている。さらに、強誘電体キャパシタの下側電極と測定治具が電氣的に接続され（微小なため図示せず）、さらに測定治具30は接地されている。

【0043】

実施例1の強誘電体キャパシタ膜15が形成された基板18を測定面すなわち強誘電体キャパシタ膜15が上になるように測定治具に配置、固定する。測定治具のマイクロメータヘッド34により、基板18の一端を最大±2mm程度上下して、基板18を上向きまたは下向きに反らせることができるようになっている。例えば基板18の一端を上方することにより基板を下方に反らして、基板18

上に形成された強誘電体キャパシタ膜 15 に圧縮応力を印加することができる。一方、例えば基板 18 の一端を下方することにより強誘電体キャパシタ膜 1 に引っ張り応力を印加することができる。

【0044】

また、測定治具 30 は、基板 18 をほぼ水平に配置し、測定面が水平になっているので SPM の測定に好適であり、基板の下側電極が測定治具を通じて接地されているので、上述した、カンチレバー 21 と下側電極間 14 との間に電圧を印加して、ヒステリシス特性を測定することができる。また、基板 18 を加熱することができるので、強誘電体キャパシタ膜 15 のキュリー点以上の温度も含めた温度特性を測定することができる。

【0045】

[第2実施例]

図 11 は、本発明の第 2 実施例の F e R A M の回路図、図 12 は、第 2 実施例によるスタック型の F e R A M の断面図である。図 11 を参照するに、F e R A M は、1 ビットの情報の記憶に 2 つの選択トランジスタ T_A 、 T_C と、2 つの強誘電体キャパシタ C_A 、 C_C とを用いる 2 T 2 C のメモリセル方式が採用されている。図 12 には、図 11 に示すビット線 B L に接続された 2 つの隣接するメモリセル 41、42 に亘る断面図であり、メモリセル 41、42 のうちそれぞれ 1 つの選択トランジスタ T_A 、 T_B 及び強誘電体キャパシタ C_A 、 C_B が示されている。

【0046】

図 12 を参照するに、本実施例のスタック型の F e R A M は、図 10 に示すワード線 W L 1、W L 2 が C M O S プロセスにより形成された選択トランジスタのゲート電極 104 A、104 B として形成される。更に、強誘電体キャパシタ膜 113 を有する強誘電体キャパシタ C_A 、 C_B が拡散領域 106 A、106 B に接続されたコンタクトプラグ 110 A、110 B の直上に形成され、且つ、その強誘電体キャパシタ C_A 、 C_B が一括エッチングで加工される。即ち、これら強誘電体キャパシタ C_A 、 C_B は、プレーナスタック強誘電体キャパシタ構造である。また、強誘電体キャパシタ C_A 、 C_B は、その上側電極層 114 がシリコン酸化膜

115で覆われ、このシリコン酸化膜115に形成されたコンタクトホール116A, 116Bを介して、上側電極層114と、第一層配線であるプレート線124A, 124B (図11に示すPL1、PL2) とが接続される。さらに、拡散領域106C上にコンタクトプラグ120が形成され、このコンタクトプラグ120, 124C, 130を介して、強誘電体キャパシタ C_A , C_B より上部に形成されたビット線134と拡散領域106Cとが接続される。

【0047】

さらに、本実施例のFeRAM100は、薄板化されたSi基板101の裏面に厚さ100 μ mの応力印加膜138が形成されている。応力印加膜138は、Si基板101を介して強誘電体キャパシタ C_A , C_B の強誘電体キャパシタ膜113に、圧縮応力または引っ張り応力を印加することができる。

【0048】

次に、本実施例のスタック型FeRAMの製造工程を説明する。図13～図16は本実施例のスタック型FeRAMの製造工程を示す図である。

【0049】

図13 (A) の工程では、基板101に、CMOSプロセスによりSTIにより素子分離領域102及び素子領域103を形成し、この素子領域103の上部にゲート絶縁膜を挟んで、ゲート電極104A, 104Bを形成して、選択トランジスタ T_A , T_B を形成する。なおゲート電極104A, 104Bは紙面に垂直に延在して設けられている。

【0050】

図13 (A) の工程ではさらに、上記選択トランジスタ T_A , T_B 及び基板101の上面にSiN絶縁膜105を形成し、更にシリコン酸化膜の層間絶縁膜108を形成する。パターニングされたレジスト及びRIE法により、素子領域103の拡散領域106A, 106Bの上面にコンタクトホールを形成し、TiN密着膜109-1及びタングステン109-2を充填することにより、拡散領域106A, 106Bと後述する強誘電体キャパシタ C_A , C_B を接続するためのコンタクトプラグ110A, 110Bを形成する。更に、層間絶縁膜105及びコンタクトプラグ110A, 110Bの上面をCMP (Chemical and Mechanical Po

lishing) 法により研磨する。

【0051】

次に、図13 (B) の工程では、研磨された層間絶縁膜108及びコンタクトプラグ110A、110Bの上面に、Ti密着膜111、下側電極層112を順次形成する。ここで、Ti密着膜111は厚さ100nm、下側電極層112は、例えば厚さ50nmであり、白金族の元素あるいはその合金、 IrO_2 、 RuO_2 、 SrRuO_2 などの導電性酸化物などから構成される。

【0052】

図13 (B) の工程ではさらに、下側電極層112上にPZTあるいはPLZT膜よりなる強誘電体キャパシタ膜113を形成する。強誘電体キャパシタ膜113は、RFスパッタリング、CSD法、CVD法などにより形成する。ここではRFスパッタリング法を用いて、Arガス圧1.1Pa、RFパワー1.0kWに設定して、厚さ200nm形成した。強誘電体キャパシタ膜113は、さらに O_2 を5%以下の濃度で含むAr雰囲気中で600℃において90秒間急速熱処理(RTA)することにより結晶化され、さらに酸化雰囲気中750℃で60秒間急速熱処理することにより強誘電体キャパシタ膜113の酸素欠損が補償される。なお、強誘電体キャパシタ膜113は、ペロブスカイト型結晶構造を有する酸化物が好適である。 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x \leq 1$) の一般式で示されるPZT、あるいは $(\text{Pb}_{1-y}\text{La}_y)(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x, y \leq 1$) の一般式で示されるPLZT、 $\text{Ba}(\text{Sr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x \leq 1$)、 BiLaTiO_x などの一般式に表される酸化物が挙げられる。また、層状ペロブスカイト結晶構造を有する酸化物、例えば $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ 、SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) など、さらに、タングステンブロンズ結晶構造を有する酸化物が好適である。上記の酸化物は優れた強誘電性を示し、ヒステリシス曲線の角形性が良好なので、個々の強誘電体キャパシタ膜の抗電界のばらつきが少なく、書込み動作を更に安定化できる。

【0053】

図13 (B) の工程ではさらに、強誘電体キャパシタ膜113上に上側電極層114を形成する。上側電極層114は、例えば厚さ200nmであり、白金族

の元素あるいはその合金、 IrO_2 、 RuO_2 、 SrRuO_2 などの導電性酸化物、またはこれらの積層体、強誘電体キャパシタ膜113側を導電性酸化物とした、例えば Ir/IrO_2 などから構成される。上側電極層114は、例えばPtを形成する場合は酸素を5%以下の濃度のAr雰囲気中で、RFスパッタリング法を用いて形成する。

【0054】

次に図13 (C) の工程では、フォトリソグラフィー法及びRIE法により、コンタクトプラグ110A、110B上のTi密着層111、下側電極層112、強誘電体キャパシタ膜113及び上側電極層114を残す。これらによって構成される強誘電体キャパシタ C_A 、 C_B が形成される。

【0055】

次に図14 (D) の工程では、図13 (C) の構造体上にシリコン酸化膜115をCVD法により堆積し、さらに層間絶縁膜116をCVD法で堆積する。更に、堆積した層間絶縁膜116の上面をCMP法により研磨する。

【0056】

図14 (D) の工程ではさらに、前記SiN絶縁膜105、層間絶縁膜108、シリコン酸化膜115、及び層間絶縁膜116中に拡散領域106Cを露出させるコンタクトホールを形成し、TiN密着膜118及びタンゲステン119を充填して、コンタクトプラグ120を形成する。

【0057】

図14 (D) の工程ではさらに、強誘電体キャパシタ C_A 、 C_B の上側電極層114の上部に堆積しているシリコン酸化膜115及び層間絶縁膜116中に、フォトリソグラフィー法及びRIE法により、上側電極層114を露出させるコンタクトホール116A、116Bを形成する。

【0058】

次に図14 (E) の工程では、図14 (D) の構造体上に、TiN密着膜、Alメタル第1層、TiN密着膜を典型的にはそれぞれ厚さ20nmを順次堆積する。

【0059】

図14 (E) の工程ではさらに、フォトリソグラフィ法及びR I E法により、紙面に垂直に延在する配線パターンを形成し、強誘電体キャパシタCA, CBの上側電極層114に接続するプレート線としての配線パターン124A、124B、及びコンタクトプラグ120に接続する電極パターン124Cを形成する。

【0060】

次に図15 (F) の工程では、図14 (E) の構造体上に、CVD法により層間絶縁膜126を堆積し、この層間絶縁膜126の上面をCMPにより研磨する。次に、層間絶縁膜126中に電極パターン124Cを露出させるコンタクトホールを形成し、コンタクトホールを充填するTiN密着膜128およびタンゲステンプラグ129を充填することによりコンタクトプラグ130を形成する。

【0061】

次に図15 (G) の工程では、図15 (F) の構造体上に、TiN密着膜131、Alメタル第2層132、TiN密着膜133を順次形成する。これらの積層体をフォトリソグラフィ法及びR I E法により、横方向に延在するビット線としてのビット線パターン134とする。これにより、ビット線パターン134と拡散領域106Cとが電氣的に接続される。

【0062】

図15 (G) の工程ではさらに、ビット線パターン134及び層間絶縁膜126を覆うシリコン酸化膜135をCVD法により形成する。

【0063】

図15 (G) の工程ではさらに、シリコン酸化膜135の上面にCVD法によりパッシベーション膜136を形成する。

【0064】

次に、図16 (H) の工程では、基板の裏面の研削を行う。具体的には、先ず基板表面にキズを防止する保護テープ137をパッシベーション膜136上に貼り付け、基板裏面を研削装置のダイヤモンドホイール（図示せず）により、荒研削と仕上げ研削を行い所定の厚さにする。次いで保護テープ137を除去し洗浄する。

【0065】

図16 (H) の工程ではさらに、Si基板101裏面に、例えばCVD法により厚さ $120\mu\text{m}$ のシリコン窒化膜(Si_3N_4)よりなる応力印加膜138を形成する。具体的には、応力印加膜138の厚さは $100\mu\text{m}\sim 500\mu\text{m}$ であり、プロセス時間の観点からは、応力印加膜138の厚さは $100\mu\text{m}\sim 200\mu\text{m}$ であることが好ましく、 $100\mu\text{m}\sim 150\mu\text{m}$ であることが更に好ましい。また、シリコン窒化膜に限定されず窒化アルミニウム(AlN)、アルミナ(Al_2O_3)、炭化ケイ素(SiC)等であってもよい。これらの応力印加膜138の熱膨張係数は、 Si_3N_4 が $3\times 10^{-6}\text{K}^{-1}$ 、 AlN が $4.5\times 10^{-6}\text{K}^{-1}$ 、 Al_2O_3 が $6.8\times 10^{-6}\text{K}^{-1}$ 、 SiC が $5.5\times 10^{-6}\text{K}^{-1}$ であるのに対して、Si基板は $2.3\times 10^{-6}\text{K}^{-1}$ であるので、基板加熱温度あるいは成膜により基板温度が上昇し、成膜終了後冷却されることにより、応力印加膜138の熱膨張係数とSi基板101との熱膨張係数の差違により、熱応力が発生する。熱応力はSi基板を介して引っ張りあるいは圧縮応力が強誘電体キャパシタ膜に印加される。したがって、FeRAMの強誘電体キャパシタの分極方向を揃えることができ、また、分極を反転させる電圧等の特性を揃えることができる。さらに、パッケージ工程等において本実施例の基板に応力が印加されても、強誘電体キャパシタの特性を一定に保持することができる。以上により図12に示す本実施例のスタック型FeRAMが形成される。

【0066】

次に第2実施例の変形例について説明する。本変形例は、応力印加膜がパッシベーション膜上に形成されている点を除いて第2実施例と同様である。

【0067】

図17は、第2実施例の変形例のスタック型のFeRAMを示す断面図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0068】

図17を参照するに、本変形例のFeRAMは、半導体基板101と、半導体基板101に形成されたゲート電極104A、104B及び拡散領域106A、106Bと、半導体基板101上に形成され、コンタクトプラグ110A、11

、0 Bにより拡散領域106 A、106 Bと接続された強誘電体キャパシタ C_A 、 C_B と、半導体基板101及び強誘電体キャパシタ C_A 、 C_B を覆う層間絶縁膜116、126、135及びパッシベーション膜136と、パッシベーション膜136上に形成された応力印加膜140などから構成されている。

【0069】

応力印加膜140は、例えばシリコン窒化膜から構成され、厚さは $100\mu\text{m}$ ～ $500\mu\text{m}$ に設定されている。応力印加膜140は第2実施例の応力印加膜138を用いることができ、応力印加膜140の下側に位置する強誘電体キャパシタ C_A 、 C_B に引っ張りあるいは圧縮応力を印加することができる。したがって、FeRAMの強誘電体キャパシタの分極方向を揃えることができ、また、抗電界の特性を揃えることができる。さらに、パッケージ工程等において本実施例の基板に応力が印加されても、強誘電体キャパシタの特性を一定に保持することができる。

【0070】

[第3実施例]

図18は、本発明による第3実施例の半導体装置の断面図である。図18を参照するに、本実施例の半導体装置50は、ICチップ51と、ICチップ51を支持するダイパッド52 A、52 Bと、ICチップ51をダイパッド52に固着するダイ付け剤層53と、リード54と、ワイヤー55と、前記ICチップ51やリード54などを封止するモールド封止剤56等により構成されている。

【0071】

ICチップ51は、実施例2又は実施例2の変形例にかかるFeRAMが形成されている。なお、実施例2または実施例2の変形例にかかるFeRAMの応力印加膜138、140が設けられていなくてもよい。また、ダイ付け剤層53は、熱硬化性樹脂、Au-Siなどを用いることができる。

【0072】

ダイパッド52 A、52 Bは、バイメタルからなり、熱膨張係数の異なる、例えばインバー合金（例えば40原子%Ni-Fe）とFe、コバル（FeCoNi合金）とCuなどよりなる。

【0073】

次に本実施例の半導体装置の製造工程に係るダイ・ボンディング工程を簡単に説明する。図19 (A) ~ (C) は、本実施例の半導体装置の製造工程を示す図である。

【0074】

図19 (A) の工程では、ダイパッド52上にディスペンサ58を用いてダイ付け剤59を適量滴下する。次いで、図19 (B) の工程では、ICチップ51を滴下されたダイ付け剤59の上に載せ、その上からコレット61を用いて加熱しながら加圧して、ダイ付け剤59の熱硬化性樹脂を硬化させる。この際、コレット61からの熱がダイパッド52A, 52Bに伝導し、ダイパッド52A, 52Bが加熱される。ダイパッド52A, 52Bはバイメタルになっているので、熱膨張係数の差違に起因して例えば上向きに反る。したがって、ICチップ51に上向きに反る応力が印加されることになる。次いで図19 (C) の工程では、ダイ付け剤が熱硬化後、コレット58の加熱等を解除し冷却する。次いで、リードとICチップ51の電極をリードにより接続し、モールド封止剤56によりICチップ51、ワイヤー54等を封止して図18に示す本実施例の半導体装置が形成される。

【0075】

本実施の形態によれば、ダイパッドの変形によりICチップに応力が印加される。通常のダイ・ボンディング工程においては、ここでICチップに最も大きな応力が印加される。したがって、この工程において強誘電体キャパシタのヒステリシス特性が最も乱され易い。本実施例では、所定の応力を印加するので、強誘電体キャパシタのヒステリシス特性が乱されることを回避すると共に揃えることが可能である。

【0076】

また、第3実施例の変形例として、ダイパッドがA1等の1種の金属からなり、ダイ付け剤を弾性率の高い熱硬化性樹脂、例えばエポキシ樹脂を用いる。例えば引っ張り弾性率が $2 \times 10^9 \text{MPa}$ のダイ付け剤を用いる。本変形例によれば、弾性率の高いダイ付け剤は硬化する際の収縮率が高いので、ICチップを上向

きに反らせる引っ張り応力が I C チップの下面に働き、強誘電体キャパシタ膜に引っ張り応力が印加される。したがって、強誘電体キャパシタの分極方向を揃えることができる。

【0077】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

【0078】

例えば、第3実施例と第3実施例の変形例を組み合わせることができる。さらに、F e R A M の製造工程において、強誘電体キャパシタ膜に一定の応力を機械的に印加してもよい。

【0079】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 基板上に強誘電体キャパシタ膜を有し、

該強誘電体キャパシタ膜に対して積極的に圧縮応力乃至引っ張り応力を印加する応力印加手段が設けられてなる半導体装置。

(付記2) 前記応力印加手段は前記基板表面に設けられていることを特徴とする付記1記載の半導体装置。

(付記3) 前記応力印加手段は前記基板表面に形成された膜よりなり、

該膜の厚さが $100\mu\text{m} \sim 500\mu\text{m}$ であり、かつ前記基板の熱膨張係数と該膜の熱膨張係数が異なることを特徴とする付記2記載の半導体装置。

(付記4) 半導体基板と、

前記半導体基板に形成された拡散領域とゲート電極と、

前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタとを含む半導体装置であって、

前記半導体基板の裏面に膜が設けられ、

該膜の厚さが $100\mu\text{m} \sim 500\mu\text{m}$ であり、かつ前記半導体基板の熱膨張係数と該膜の熱膨張係数が異なることを特徴とする半導体装置。

(付記5) 半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシ

タ膜と上側電極層とを順次形成した強誘電体キャパシタと、を含む IC チップと

、
前記 IC チップを支持するダイパッドと、

前記 IC チップとダイパッドとを固着する接合剤とを含む半導体装置であって

、
当該半導体装置が加熱されて IC チップに応力が印加されることを特徴とする半導体装置。

(付記 6) 前記接合剤が熱硬化型接着剤であり、前記加熱により接合剤が収縮して IC チップに応力が印加されることを特徴とする付記 5 記載の半導体装置。

(付記 7) 前記ダイパッドがバイメタルよりなり、前記加熱によりダイパッドが変形して IC チップに応力が印加されることを特徴とする付記 6 記載の半導体装置。

(付記 8) 前記強誘電体キャパシタ膜が、ペロブスカイト型結晶構造、層状ペロブスカイト型結晶構造、又はタンゲステンブロンズ結晶構造を有する酸化物よりなることを特徴とする付記 1～7 のうち、いずれか一項記載の半導体装置。

(付記 9) 前記ペロブスカイト型結晶構造を有する酸化物が、 $Pb(Zr_{1-x}Ti_x)O_3$ ($0 \leq x \leq 1$)、 $(Pb_{1-y}La_y)(Zr_{1-x}Ti_x)O_3$ ($0 \leq x, y \leq 1$)、 $Ba(Sr_{1-x}Ti_x)O_3$ ($0 \leq x \leq 1$)、又は $BiLaTiO_x$ であることを特徴とする付記 8 記載の半導体装置の製造方法。

(付記 10) 半導体基板と、前記半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次形成した強誘電体キャパシタと、を含む半導体装置の製造方法であって、

前記強誘電体キャパシタ膜を形成後に半導体装置に外力を印加して、前記強誘電体キャパシタ膜の分極方向を揃えることを特徴とする半導体装置の製造方法。

(付記 11) 半導体基板上に下側電極層と強誘電体キャパシタ膜と上側電極層とを順次堆積し強誘電体キャパシタと、を含む IC チップを形成する工程と、

前記 IC チップを、その IC チップを支持するダイパッドに接着するダイ・ボンディング工程とを有し、

前記ダイ・ボンディング工程において IC チップに外力を印加することを特徴

とする半導体装置の製造方法。

(付記 12) 基板上に形成された強誘電体膜の測定用治具であって、

前記基板をほぼ水平にすると共に、前記基板の測定面を上方に向けて、前記基板の一端を固定する固定部と、前記基板の他端を固定すると共に前記測定面に対して垂直方向に移動可能な可動部と、前記可動部を前記垂直方向に送る送り手段とを有することを特徴とする測定用治具。

(付記 13) 強誘電体膜の電気特性を静電力を介して測定する測定方法であって、

前記強誘電体膜に電界を印加すると共に、所定の応力を印加することを特徴とする測定方法。

【0080】

【発明の効果】

以上詳述したところから明らかなように、本発明によれば、個々の強誘電体キャパシタの特性が揃った、動作の安定化が可能な半導体装置を提供することができる。また、経時的に安定な強誘電体キャパシタを備えた半導体装置を提供することができる。さらに、強誘電体キャパシタ膜に応力を印加すると共に電界を印加して、強誘電体キャパシタ膜の電気特性が測定可能な測定治具を提供することができる。

【図面の簡単な説明】

【図 1】

従来の FeRAM におけるメモリセルの構成を示す図である。

【図 2】

強誘電体膜の分極と印加電界との関係を示す図である。

【図 3】

本発明の第 1 実施例に係る強誘電体キャパシタの構成を示す。

【図 4】

走査型ピエゾレスポンス力顕微鏡の概要構成を示す図である。

【図 5】

強誘電体キャパシタのヒステリシス特性及び分極状態を測定する原理を説明す

る図である。

【図 6】

(A) 及び (B) は引っ張り応力の印加前の表面形状及び分極状態を示す図、(C) 及び (D) は引っ張り応力の印加後の表面形状及び分極状態を示す図である。

【図 7】

引っ張り応力の印加前後の歪みヒステリシス曲線と分極状態を示すヒステリシス履歴曲線を示す図 ((A) : 印加前、(B) : 印加後) である。

【図 8】

(A) 及び (B) は圧縮応力の印加前の表面形状及び分極状態を示す図、(C) 及び (D) は圧縮応力の印加後の表面形状及び分極状態を示す図である。

【図 9】

圧縮応力の印加前後の歪みヒステリシス曲線と分極状態を示すヒステリシス曲線を示す図 ((A) : 印加前、(B) : 印加後) である。

【図 10】

本発明に係る測定治具の概要構成を示す断面図である。

【図 11】

本発明の第 2 実施例に係る F e R A M の回路図である。

【図 12】

第 2 実施例によるスタック型の F e R A M の断面図である。

【図 13】

(A) ~ (C) は第 2 実施例の F e R A M の製造工程 (その 1) を示す図である。

【図 14】

(D) 及び (E) は第 2 実施例の F e R A M の製造工程 (その 2) を示す図である。

【図 15】

(F) 及び (G) は第 2 実施例の F e R A M の製造工程 (その 3) を示す図である。

【図 16】

(H) は第 2 実施例の F e R A M の製造工程（その 4）を示す図である。

【図 17】

第 2 実施例の変形例を示す断面図である。

【図 18】

本発明による第 3 実施例の半導体装置の断面図である。

【図 19】

(A) ～ (C) は第 3 実施例の半導体装置の製造工程を示す図である。

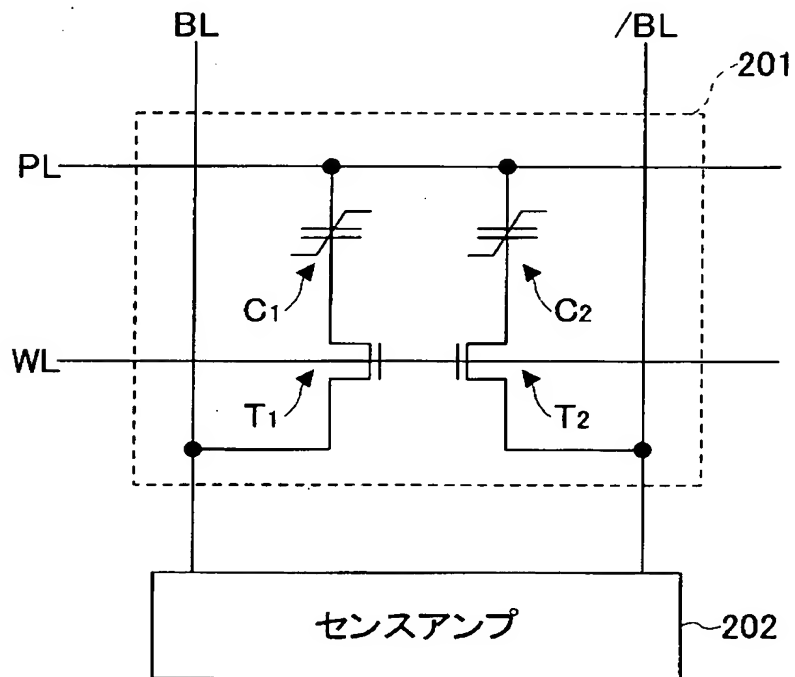
【符号の説明】

10、CA、CB	強誘電体キャパシタ
11、101	Si 基板
13、111	Ti 密着層
14、112	下側電極層
15、113	強誘電体キャパシタ膜
16、114	上側電極層
18	強誘電体キャパシタが形成された基板
30	測定治具
31	ベース体
32	固定部
33	可動部
34	マイクロメータヘッド
35	ヒーター
50	半導体装置
52A、52B	ダイパッド
51	ICチップ
100	F e R A M
138、140	応力印加膜

【書類名】 図面

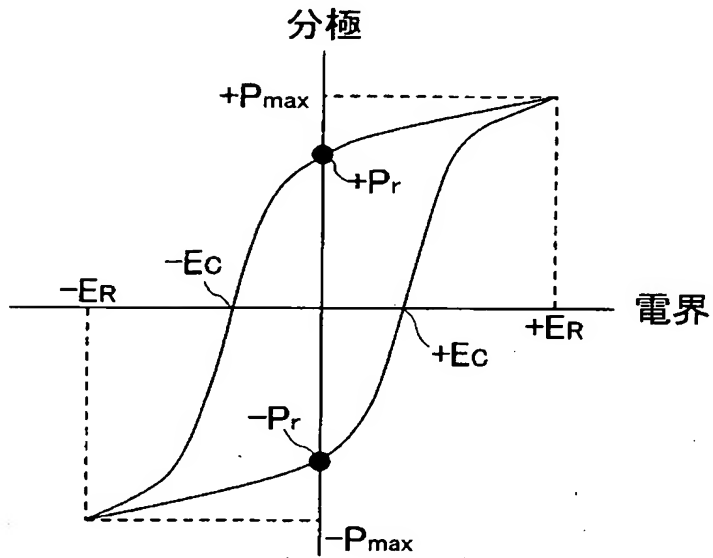
【図 1】

従来のFeRAMにおけるメモリセルの構成を示す図



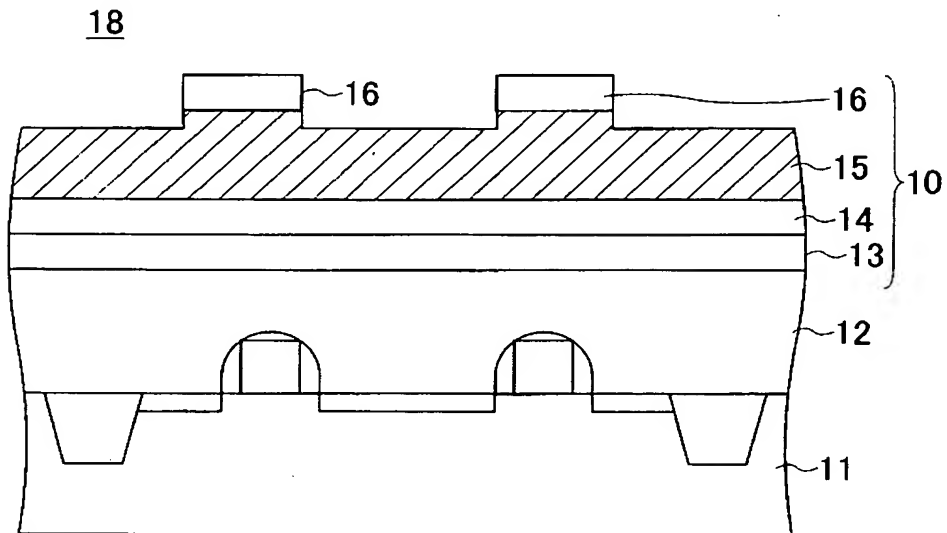
【図 2】

強誘電体膜の分極と印加電界との関係を示す図



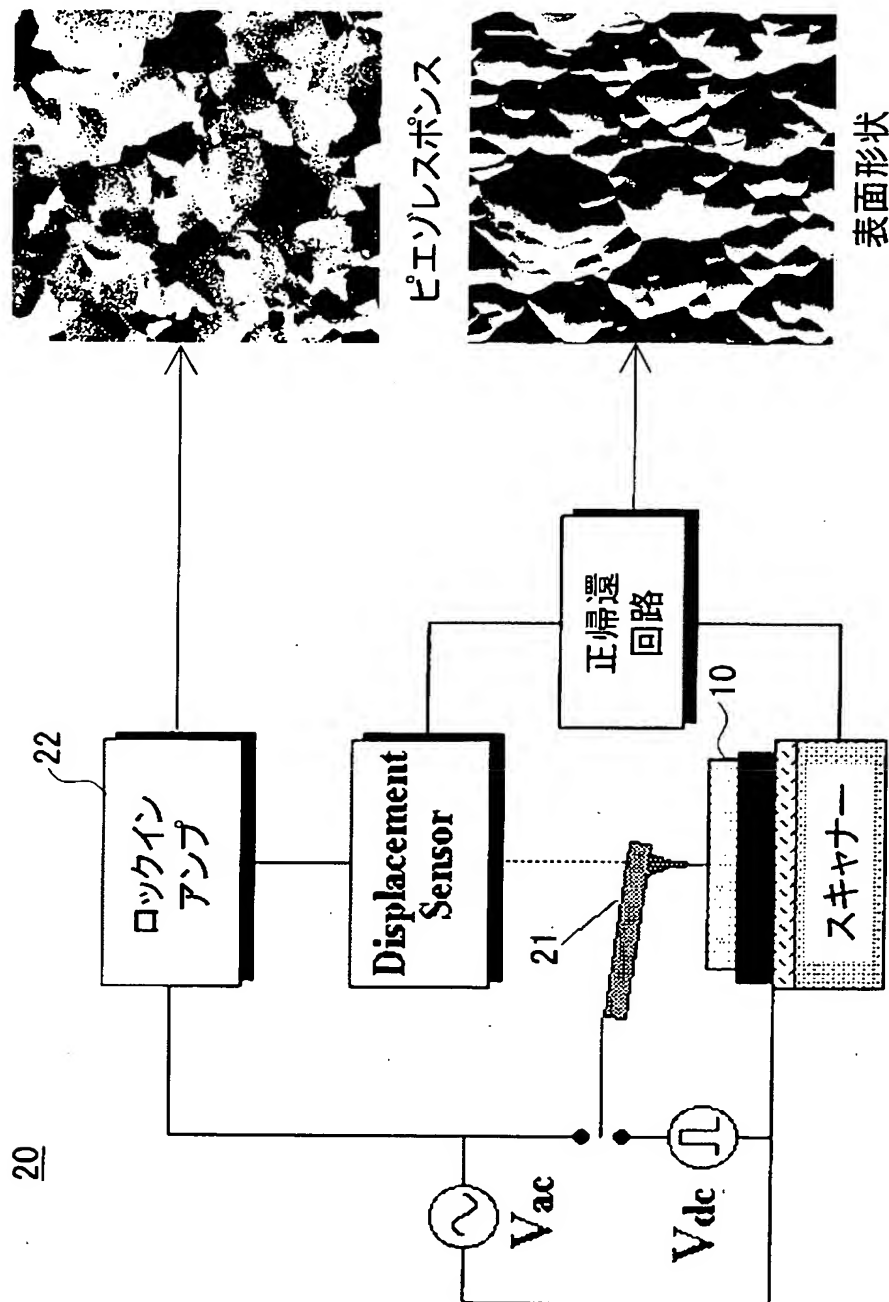
【図 3】

本発明の第1実施例に係る強誘電体キャパシタの
構成を示す図



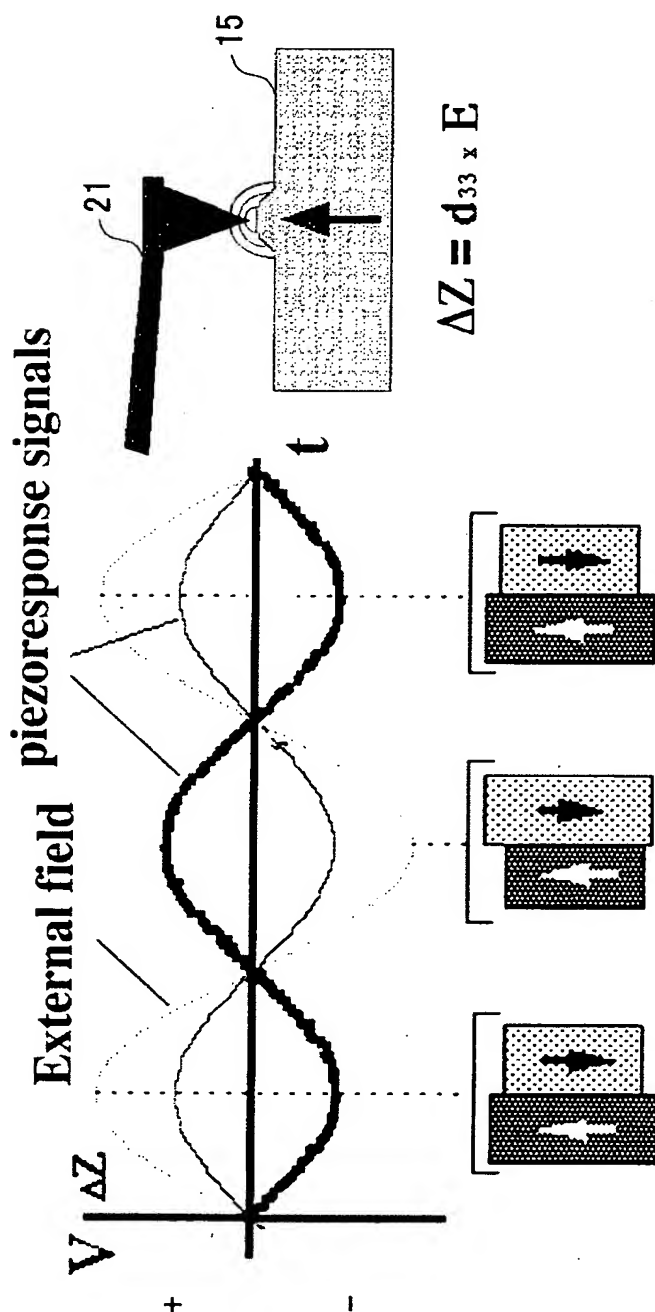
【図 4】

走査型ピエゾレスポンス力顕微鏡の概要構成を示す図



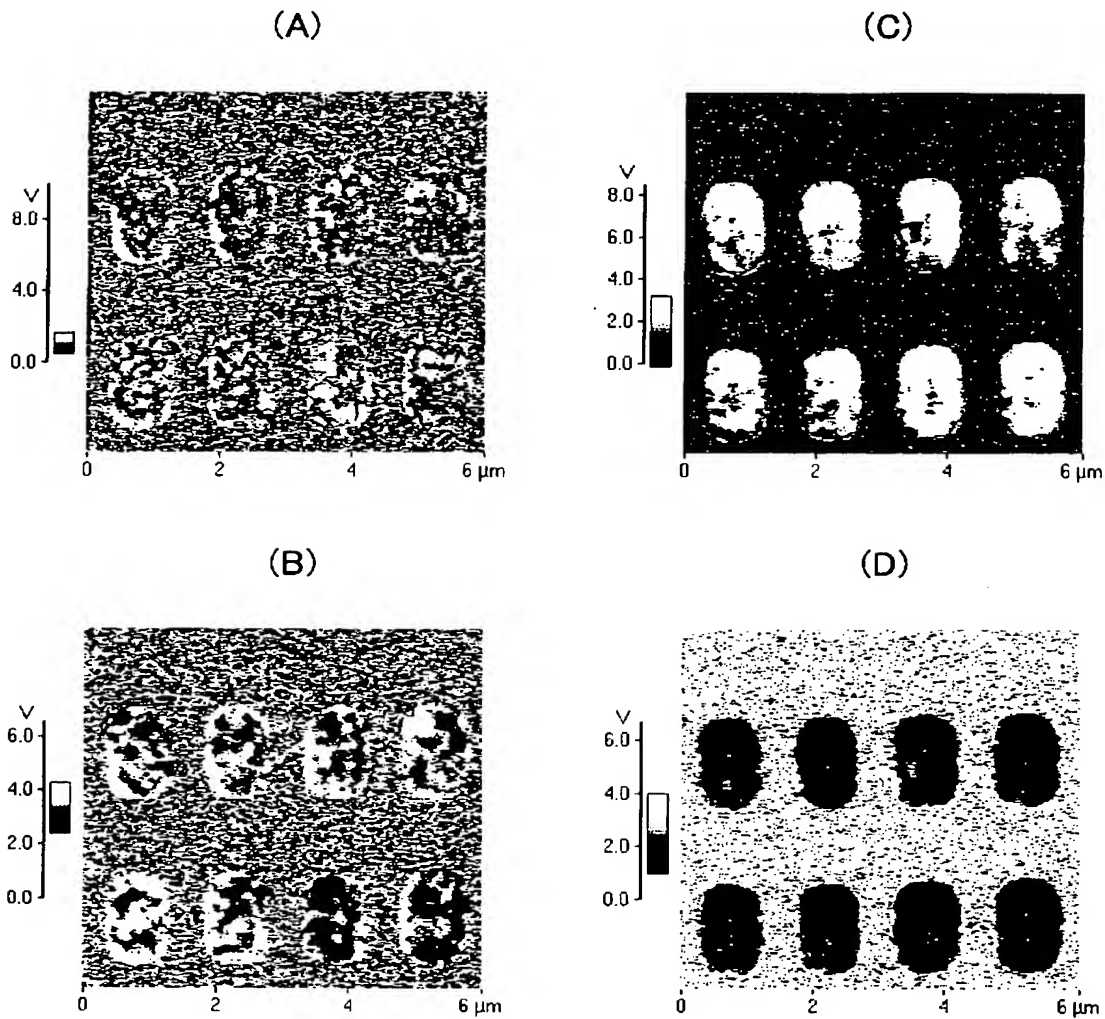
【図 5】

強誘電体キャパシタのヒステリシス特性及び
分極状態を測定する原理を説明する図



【図 6】

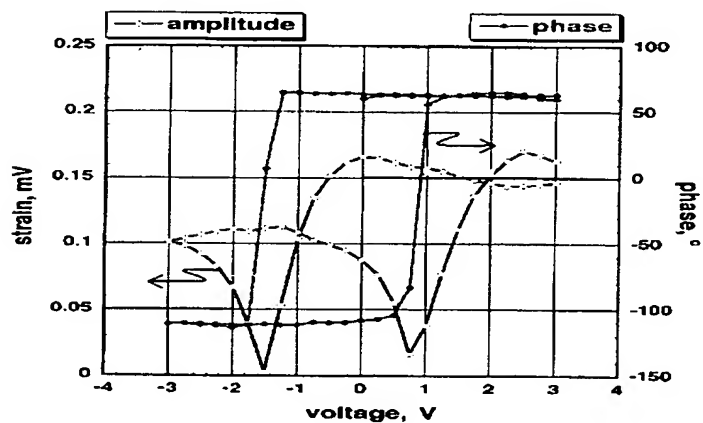
(A) 及び (B) は引っ張り応力の印加前の表面形状及び分極状態を示す図、(C) 及び (D) は引っ張り応力の印加後の表面形状及び分極状態を示す図



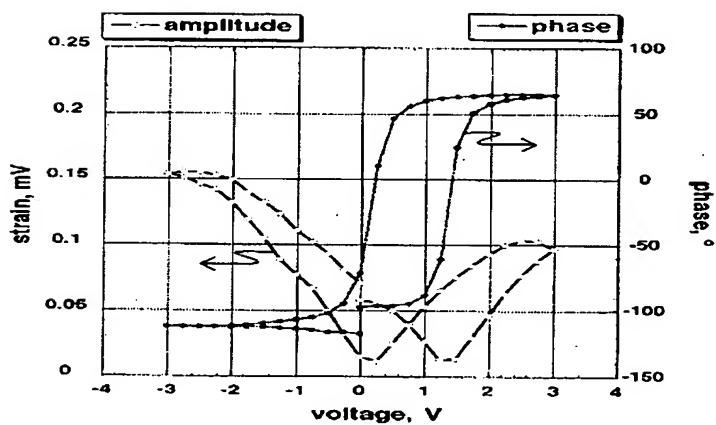
【図 7】

引っ張り応力の印加前後の歪みヒステリシス曲線と
分極状態を示すヒステリシス履歴曲線を示す図
((A):印加前、(B):印加後)

(A)

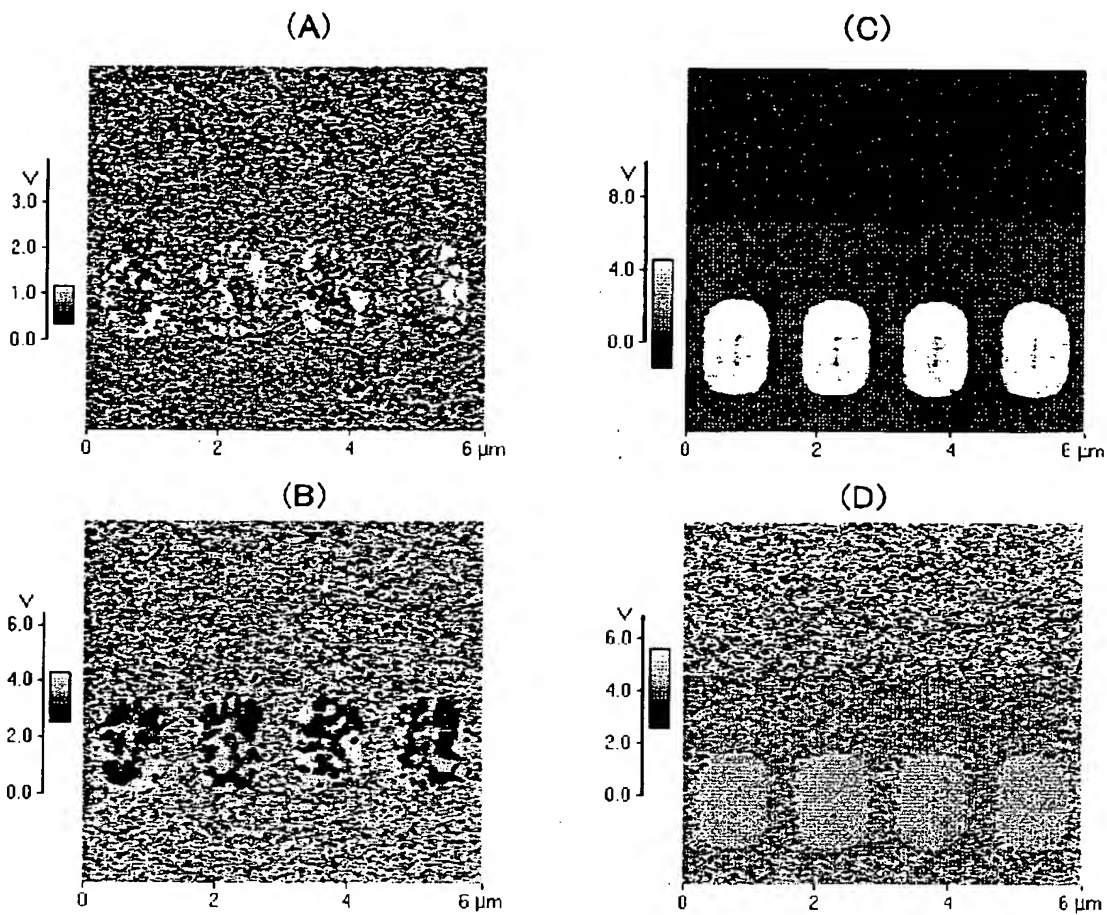


(B)



【図 8】

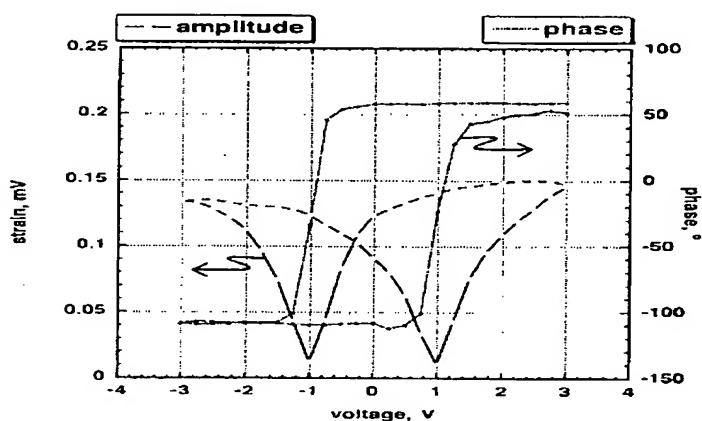
(A) 及び (B) は圧縮応力の印加前の表面形状及び分極状態を示す図、(C) 及び (D) は圧縮応力の印加後の表面形状及び分極状態を示す図



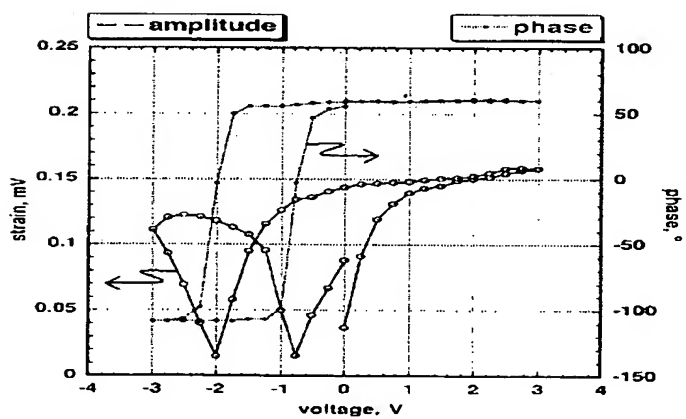
【図 9】

圧縮応力の印加前後の歪みヒステリシス曲線と
分極状態を示すヒステリシス曲線を示す図
((A):印加前、(B):印加後)

(A)

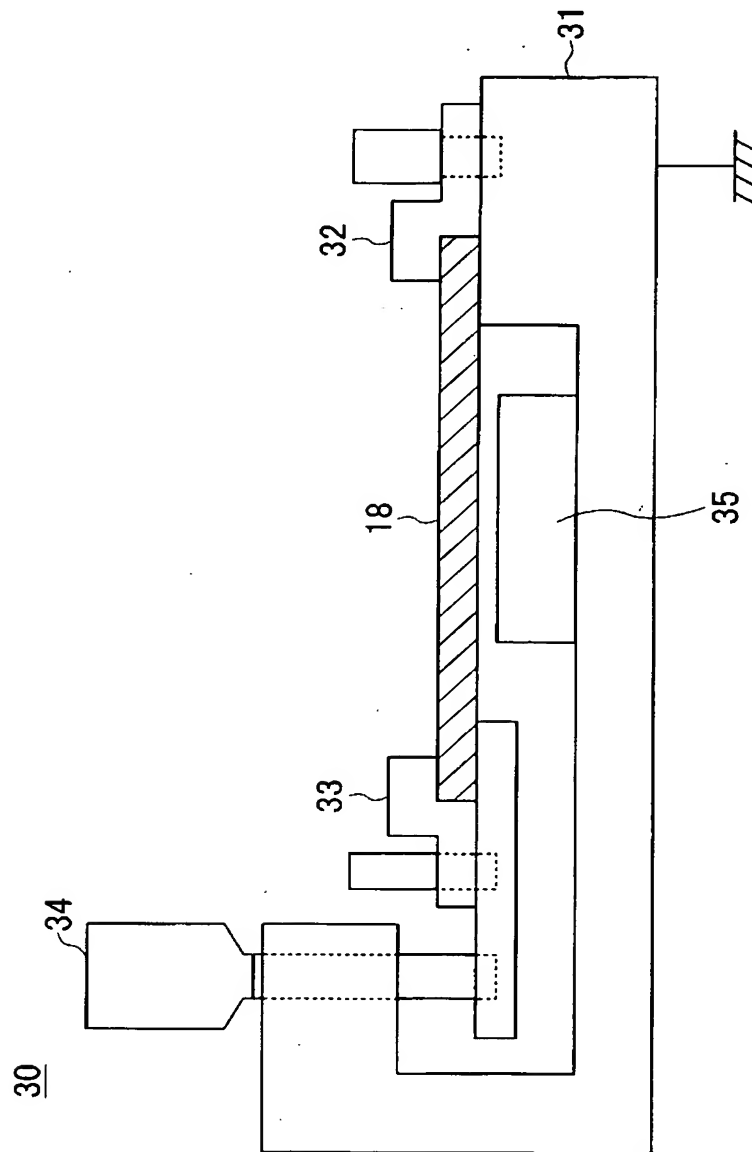


(B)



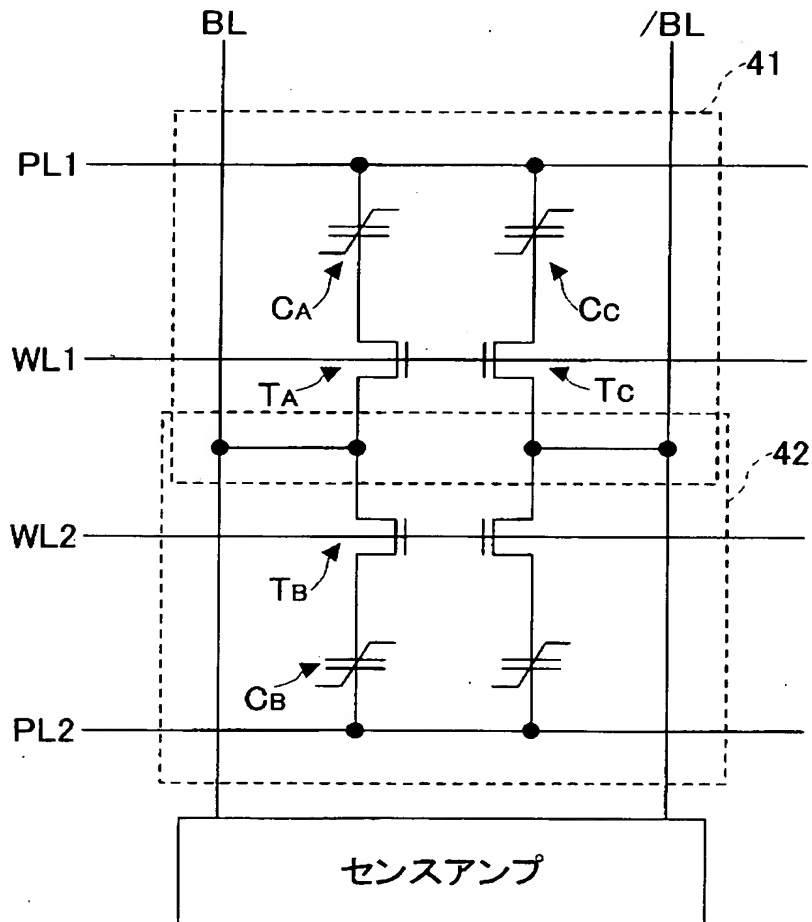
【図 10】

本発明に係る測定治具の概要構成を示す断面図



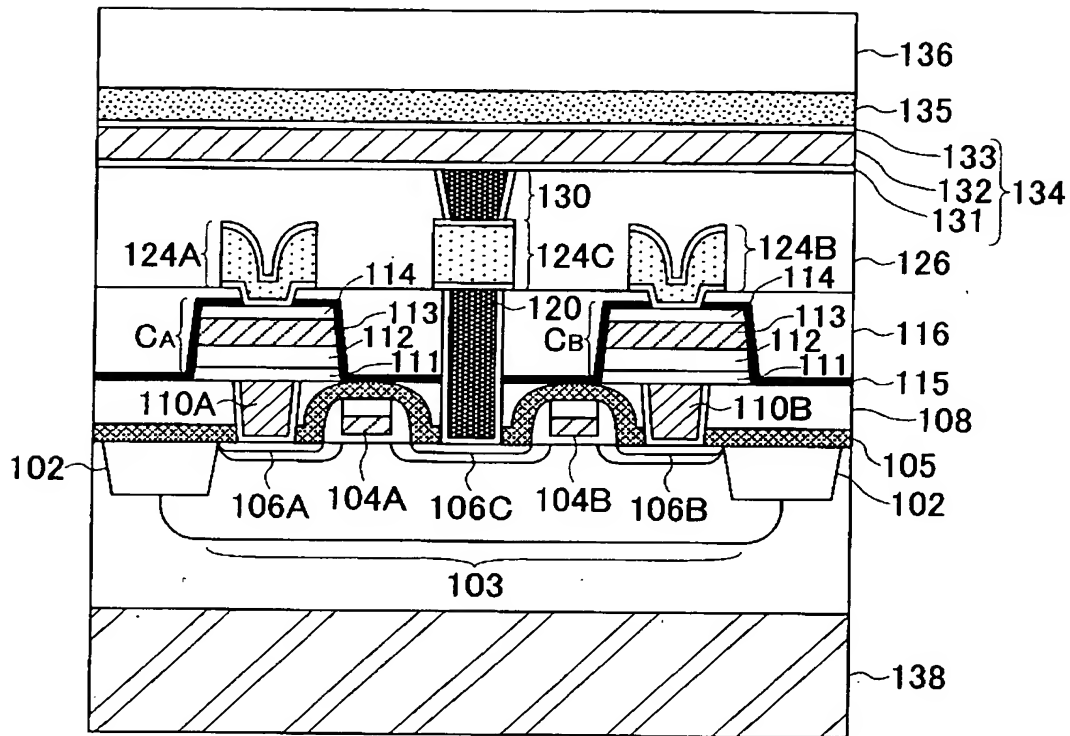
【図 11】

本発明の第2実施例に係るFeRAMの回路図



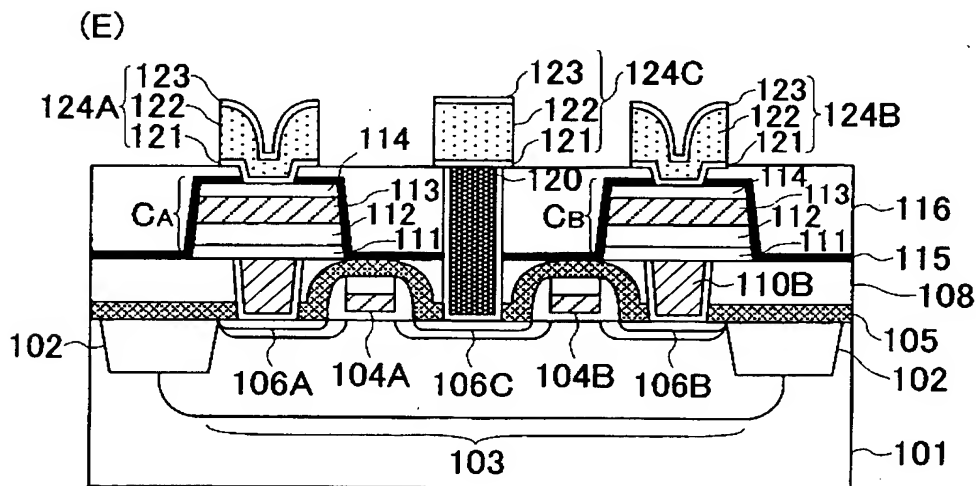
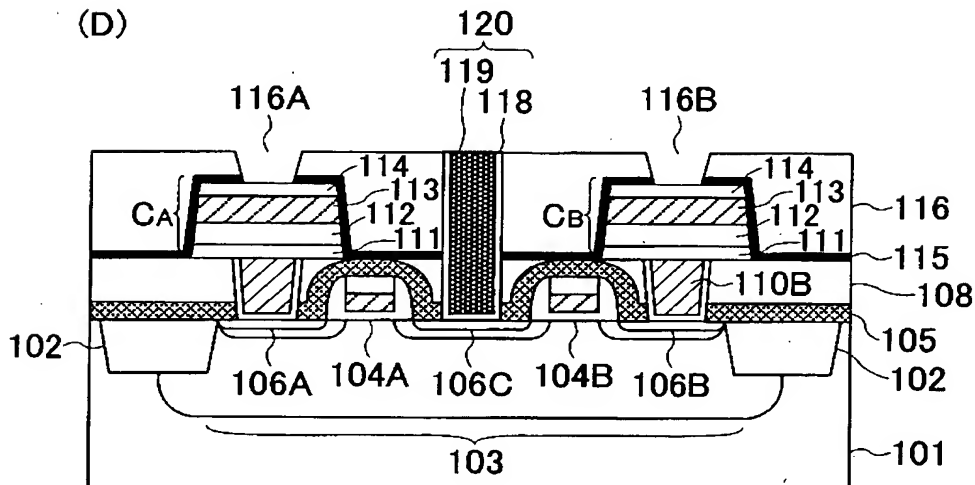
【図 12】

第2実施例によるスタック型のFeRAMの断面図



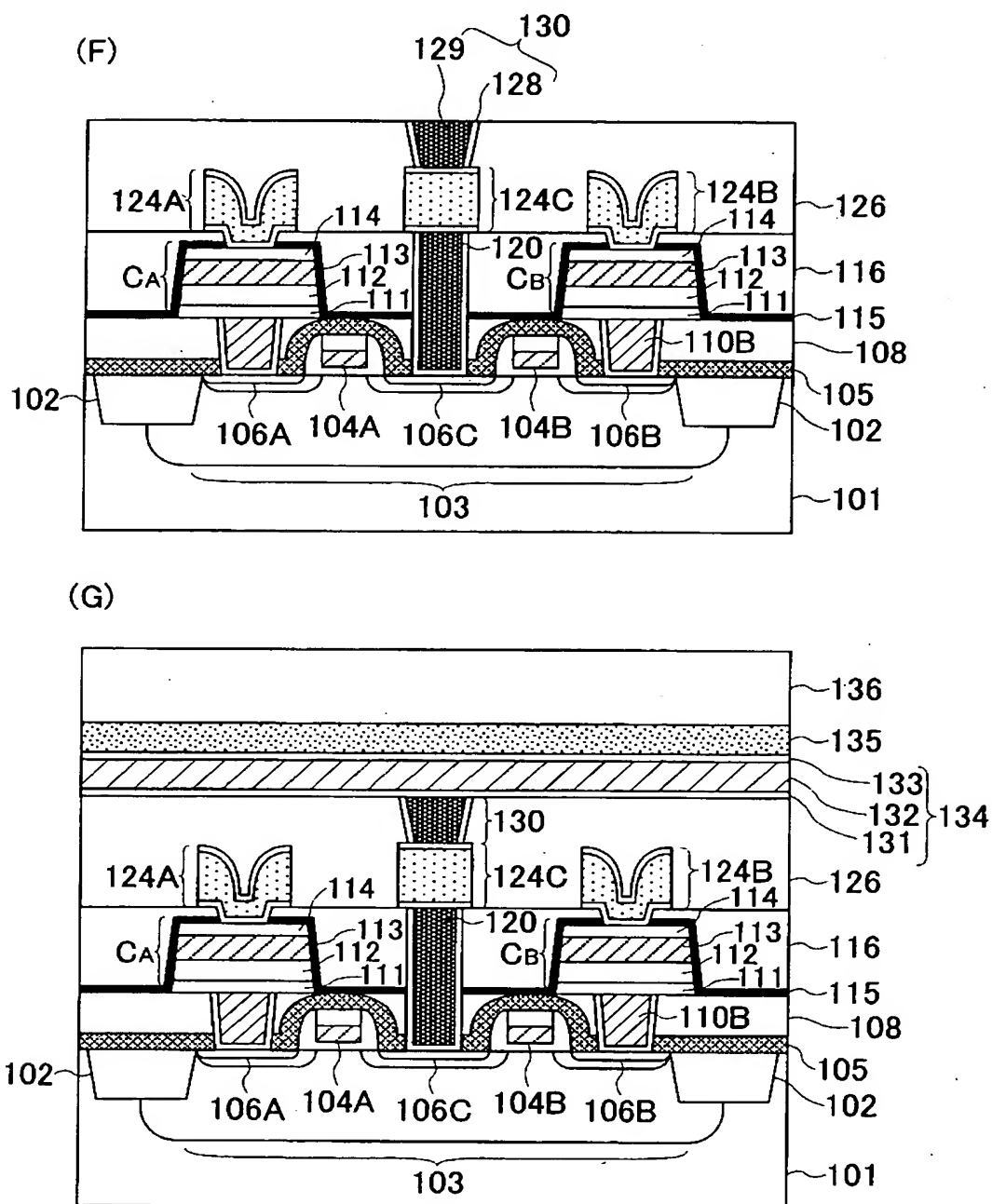
【図 14】

(D) 及び (E) は第2実施例のFeRAMの
製造工程(その2)を示す図



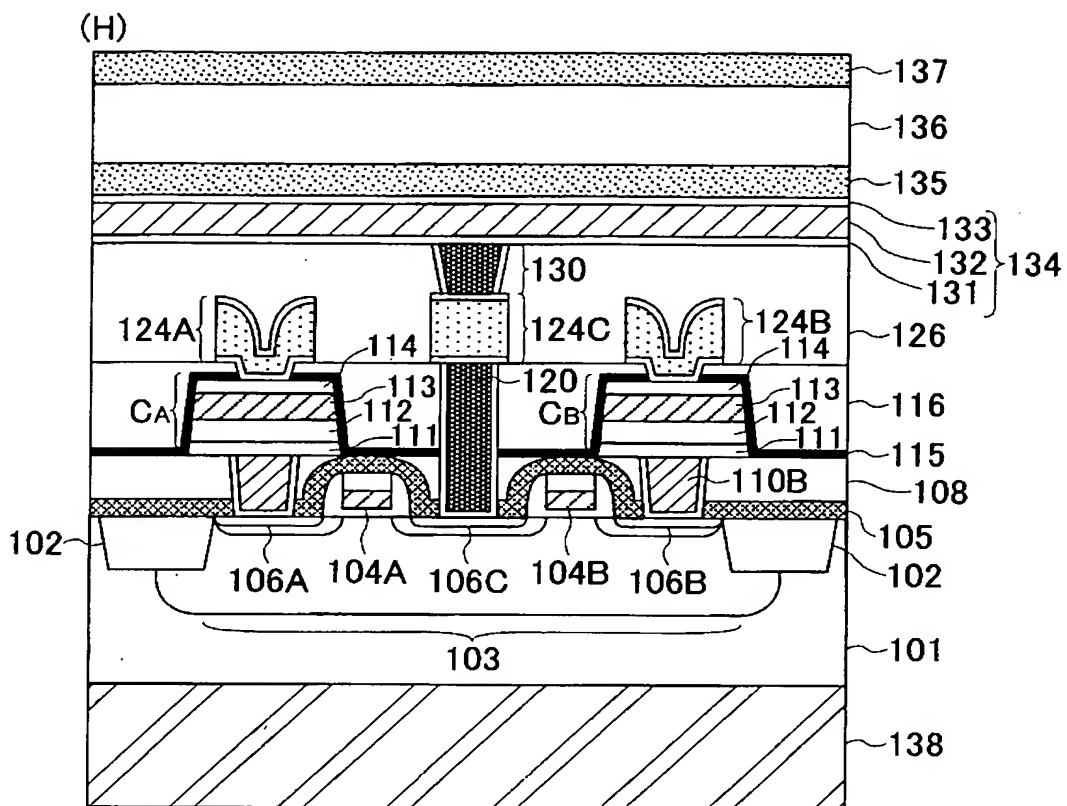
【図15】

(F) 及び (G) は第2実施例のFeRAMの
製造工程(その3)を示す図



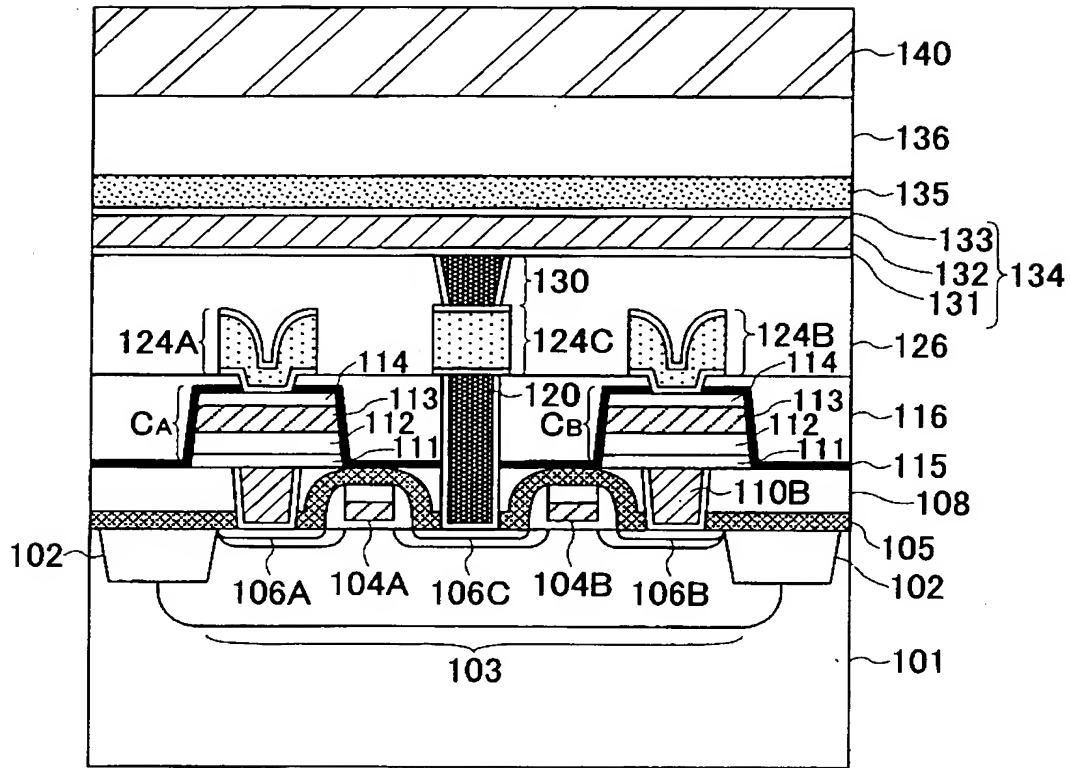
【図 16】

(H)は第2実施例のFeRAMの
製造工程(その4)を示す図



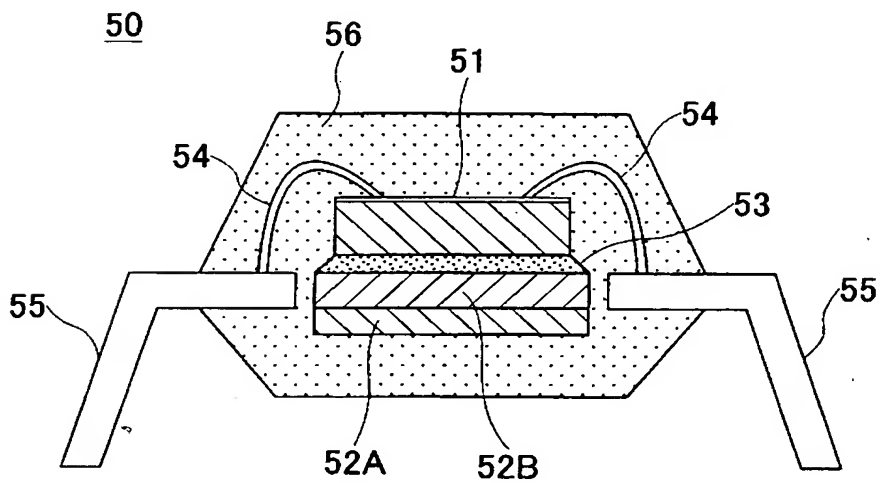
【図 17】

第2実施例の変形例を示す断面図



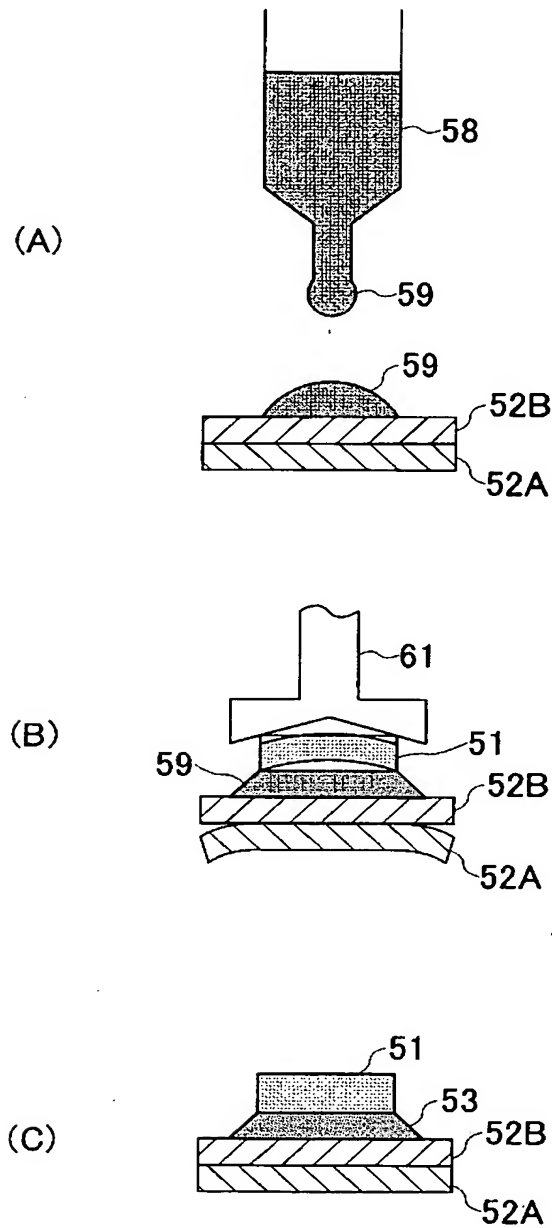
【図 18】

本発明による第3実施例の半導体装置の断面図



【図 19】

(A)～(C)は第3実施例の半導体装置の製造工程を示す図



【書類名】 要約書

【要約】

【課題】 個々の強誘電体キャパシタの特性が揃った、動作の安定化が可能な半導体装置及びその製造方法、並びに半導体装置に係る測定用治具を提供する。

【解決手段】 半導体基板 101 上に下側電極層 112 と強誘電体キャパシタ膜 113 と上側電極層 114 とを順次形成した強誘電体キャパシタ C_A , C_B とを含む半導体装置であって、半導体基板 101 の裏面に半導体基板 101 を介して強誘電体キャパシタ膜 113 に応力を印加する応力印加膜 138 が設けられた構成とする。強誘電体キャパシタ膜 113 のヒステリシス特性を揃えることが可能となる。

【選択図】 図 12

特願 2 0 0 2 - 3 3 8 3 0 7

出 願 人 履 歷 情 報

識別番号

[0 . 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社